

JP2004047847

Title:

**MANUFACTURING METHOD FOR BORON PHOSPHATE LAYER, AND
BORON PHOSPHATE SEMICONDUCTOR DEVICE**

Abstract:

PROBLEM TO BE SOLVED: To provide a method for manufacturing high resistance boron phosphate layer useable for an electric field effect transistor (FET) and a light emitting device, etc., on a crystal substrate.

SOLUTION: When a high resistance boron phosphate (BP) layer is formed directly on a crystal substrate with the aid of gas phase growing means, the high resistance boron phosphate layer is formed by keeping temperature of the crystal substrate in a range of from 1000 [deg.]C or higher to 1200 [deg.]C or lower, and doping magnesium (Mg) is added into the boron phosphate layer exhibiting p-type conductivity in an undoped state. When it is formed by being joined with an amorphous base layer formed on the crystal substrate, the temperature of the crystal substrate is kept at 750 [deg.]C or higher, and at temperature or lower where the amorphous base layer is subjected to gas phase growth.

COPYRIGHT: (C)2004,JPO

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-47847

(P2004-47847A)

(43) 公開日 平成16年2月12日(2004.2.12)

(51) Int. Cl. ⁷	F I	テーマコード (参考)
HO 1 L 21/338	HO 1 L 29/80	5 F 0 4 5
HO 1 L 21/205	HO 1 L 21/205	5 F 1 0 2
HO 1 L 29/201	HO 1 L 29/201	
HO 1 L 29/812		

審査請求 未請求 請求項の数 10 O L (全 11 頁)

(21) 出願番号	特願2002-205084 (P2002-205084)	(71) 出願人	000002004
(22) 出願日	平成14年7月15日 (2002.7.15)		昭和電工株式会社
			東京都港区芝大門1丁目13番9号
		(74) 代理人	100118740
			弁理士 柳沼 伸司
		(72) 発明者	宇田川 隆
			埼玉県秩父市大字下影森1505番地 昭和電工株式会社研究開発センター内
		Fターム (参考)	5F045 AA04 AB15 AC01 AC09 AC19 AD14 AF03 BB04 CA06 CA10 5F102 GB01 GC01 GD01 GJ03 GJ10 GK04 GL04 GM04 GN04 GR01 GR04 GR09 GS02 GT03 HC01

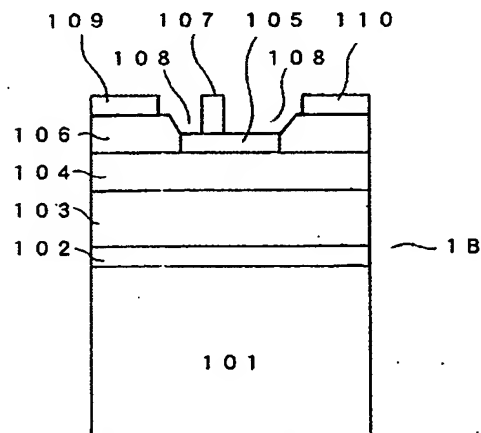
(54) 【発明の名称】 リン化硼素層の製造方法及びリン化硼素系半導体素子

(57) 【要約】

【課題】 電界効果型トランジスタ (FET) や発光素子等に用いることの出来る高抵抗のリン化硼素層を結晶基板上に製造する方法を提供する。

【解決手段】 高抵抗のリン化硼素 (BP) 層を気相成長手段に依り、結晶基板上に直接形成する際に、結晶基板の温度を1000℃以上1200℃以下の範囲に保持して、アンドープ (undoped) の状態でp形の伝導性を呈するリン化硼素層に、マグネシウム (Mg) を添加して高抵抗のリン化硼素層を形成する。リン化硼素層を、結晶基板上に形成した非晶質の下地層に接合させて形成する場合は、結晶基板の温度を750℃以上且つ非晶質の下地層を気相成長させた温度以下に保持する。

【選択図】 図3



【特許請求の範囲】

【請求項 1】

リン化硼素 (B P) 層を気相成長手段に依り、結晶基板上に直接形成するリン化硼素層の製造方法において、結晶基板の温度を 1 0 0 0 ℃以上 1 2 0 0 ℃以下の範囲に保持して、アンドープ (u n d o p e) の状態で p 形の伝導性を呈するリン化硼素層に、マグネシウム (M g) を添加して高抵抗のリン化硼素層を形成することを特徴とするリン化硼素層の製造方法。

【請求項 2】

リン化硼素層を気相成長手段に依り、結晶基板上に形成した非晶質の下地層に接合させて形成するリン化硼素層の製造方法において、結晶基板の温度を 7 5 0 ℃以上且つ非晶質の下地層を気相成長させた温度以下に保持して、アンドープの状態で p 形の伝導性を呈するリン化硼素層に、マグネシウム (M g) を添加して高抵抗のリン化硼素層を形成することを特徴とするリン化硼素層の製造方法。

10

【請求項 3】

非晶質の下地層が、7 5 0 ℃以上 1 2 0 0 ℃以下の温度で結晶基板上に直接気相成長させた、硼素 (B) とリン (P) とを含む、層厚が 2 ナノメートル (n m) 以上 5 0 n m 以下の層であることを特徴とする請求項 2 に記載のリン化硼素層の製造方法。

【請求項 4】

高抵抗のリン化硼素層及び非晶質の下地層を、同一の気相成長手段により形成することを特徴とする請求項 2 または 3 に記載のリン化硼素層の製造方法。

20

【請求項 5】

請求項 1 乃至 4 の何れか 1 項に記載の方法により形成された高抵抗のリン化硼素層を備えたるリン化硼素系半導体素子。

【請求項 6】

リン化硼素系半導体素子が、高抵抗のリン化硼素層の上方に、活性層を設けてなる電界効果型トランジスタ (F E T) であることを特徴とする請求項 5 に記載のリン化硼素系半導体素子。

【請求項 7】

リン化硼素系半導体素子が、高抵抗のリン化硼素層に接合させて、ショットキー (S c h o t t k y) 接合性の金属ゲート電極を設けてなるショットキー接合電界効果型トランジスタであることを特徴とする請求項 5 または 6 に記載のリン化硼素系半導体素子。

30

【請求項 8】

リン化硼素系半導体素子が、高抵抗のリン化硼素層の上方に、オーミック (O h m i c) 接触性の金属材料からなるオーミック電極を設けてなる発光素子であることを特徴とする請求項 5 に記載のリン化硼素系半導体素子。

【請求項 9】

リン化硼素系半導体素子が、高抵抗のリン化硼素層を、オーミック接触性電極から供給される素子動作電流の発光層への流通経路を狭窄するための電流狭窄層として備えているレーザダイオードであることを特徴とする請求項 8 に記載のリン化硼素系半導体素子。

【請求項 10】

40

リン化硼素系半導体素子が、高抵抗のリン化硼素層を、オーミック接触性電極の射影領域へ順方向電流が流通するのを阻止する電流阻止層として備えている発光ダイオードであることを特徴とする請求項 8 に記載のリン化硼素系半導体素子。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、電界効果型トランジスタ (F E T) を構成するに際し、動作電流の漏洩を遮断するなど有効に利用でき、或いは、発光ダイオード (L E D) 等の発光素子を構成するに際し、電流阻止層等として好適に利用できる、高抵抗のリン化硼素層を気相成長手段に依り製造するための新規な技術に関する。

50

【 0 0 0 2 】

【 従 来 の 技 術 】

従来より、電氣的な絶縁性を発揮する、抵抗の大きな高抵抗のⅢⅢⅢ-V族化合物半導体層は、例えば、ショットキー (Schottky) 接合型電界効果トランジスタ (MESFET) の緩衝 (buffer) 層として利用されている (J. Crystal Growth, 55 (1981)、255~262頁参照)。例えば、窒化ガリウム (GaN) 系MESFETでは、元素周期率の第Ⅵ族元素に属する酸素 (O) を意識的に添加して高抵抗となした単量体のリン化硼素 (boron monophosphide; BP) を緩衝層として利用する技術例がある。また、青色帯の発光ダイオード (LED) にあつては、n形及びp形のリン化硼素層からなるpn接合からではなく (特開平10-242569号参照)、酸素をドーピング (doping) して得た高抵抗のリン化硼素層から単純に電流狭窄層を構成する例がある。

10

【 0 0 0 3 】

第Ⅵ族の酸素を添加 (doping) した高抵抗のリン化硼素層は、従来では、酸素原子を含む硼素化合物、例えばトリエトキシボラン ($(C_2H_5O)_3B$) を硼素原料として使用して、気相成長手段に依り形成されている。或いは、微量の酸素を混入させた気相雰囲気内で有機金属化学気相堆積 (MOCVD) 手段に依り形成されている。これら従来の気相成長技術に依って得られる酸素を添加したリン化硼素層の室温での抵抗率 (比抵抗) は、 1×10^4 オーム・センチメートル (単位 $\Omega \cdot cm$) 以下に留まっている。

【 0 0 0 4 】

酸素やクロム (Cr) 等のⅢⅢⅢ-V族化合物半導体にあつて深い準位 (deep level) を形成し得る不純物を添加して高抵抗の半導体層を形成する手段に加えて、浅い準位 (shallow level) を形成し、導電性を付与する不純物を添加して、電氣的補償効果に依り高抵抗層を形成する手段もあり得る。例えば、n形のⅢⅢⅢ-V族化合物半導体層に、p形の伝導性を与えるp形不純物を添加して、アクセプタ (acceptor) に依り残留ドナー (residual donor) を電氣的に補償 (compensation) して高抵抗層を得る手段である。また、逆にp形のⅢⅢⅢ-V族化合物半導体層にn形不純物を添加して、残留アクセプタをドナーで補償して高抵抗層を形成する手段も考慮できる。また、ⅢⅢⅢ-V族化合物半導体層を気相成長させた後、同層とは逆の伝導形の不純物のイオンを注入して高抵抗となす手段もあり得る。

20

30

【 0 0 0 5 】

【 発 明 が 解 決 し よ う と す る 課 題 】

酸素を添加して高抵抗のリン化硼素層を得ようとする従来の技術手段では、得られる抵抗率は上記の如く $1 \times 10^4 \Omega \cdot cm$ 以下である。動作電流の漏洩 (leak) をより抑制して、高い相互コンダクタンス (trans-conductance; g_m) のFETを構成するためには、より高い抵抗のリン化硼素層を用いる必要がある。また、FETにあつて、酸素等の深い不純物準位を形成する不純物は、捕獲中心 (trap center) として作用し、ドレイン (drain) 電流の経時的な変動 (drift) を発生させる原因ともなっている。即ち、酸素を添加して高抵抗となす手段では、ドレイン電流の漏洩を十分に抑制することが出来ず、ピンチオフ (pinch-off) 特性に優れ、 g_m の高いFETを十分に安定して与える高抵抗のリン化硼素層を帰結するに至っていない。

40

【 0 0 0 6 】

また、導電性を付与する不純物を添加する技術も、高抵抗のリン化硼素層を形成するための一手段と想到され得る。しかしながら、気相成長させたリン化硼素には、アンドープ状態で既に、 $10^{20} cm^{-3}$ 程度、或いはそれ以上に多量の空孔 (vacancy) が存在している。例えば、 $1000^\circ C$ を超える高温で気相成長させたアンドープのリン化硼素層には、多量のリン空孔が存在し、この空孔を硼素が占有するため、リン化硼素層はp形の伝導を呈する低抵抗層となる。この様に高濃度に存在するリン空孔に関与したアクセプタを、n形不純物を添加して電氣的に補償して高抵抗層となすのは実際、困難である。 1

50

$0.2^0 \sim 1.0^{21} \text{ cm}^{-3}$ と高濃度のドナーを発生させるためには、少なくともそれ以上のn形不純物を添加する必要がある、乱雑な結晶をもたらすのみとなる。p形導電層に対し、多量のn形不純物を、逆にn形導電層にp形不純物を添加する、所謂、カウンタードーピング(counter-doping)手法は、高濃度に存在する硼素或いはリンの空孔が伝導形を支配的に決定する特異的なリン化硼素にあっては、高抵抗のリン化硼素層を形成するに充分に有効な技術手段とは成り得ていない。

【0007】

本発明は、高温において何れも揮発性の物質を生成し易い硼素とリンとを構成元素として成るリン化硼素半導体の特異な性質に鑑みて、従来技術の問題点を解決し、電界効果型トランジスタ(FET)や発光素子等に用いることの出来る高抵抗のリン化硼素層を結晶基板上に製造する方法を提供することを目的とする。

【0008】

【課題を解決するための手段】

即ち、本発明は、

(1) リン化硼素(BP)層を気相成長手段に依り、結晶基板上に直接形成するリン化硼素層の製造方法において、結晶基板の温度を 1000°C 以上 1200°C 以下の範囲に保持して、アンドープ(undoped)の状態でのp形の伝導性を呈するリン化硼素層に、マグネシウム(Mg)を添加して高抵抗のリン化硼素層を形成することを特徴とするリン化硼素層の製造方法。

(2) リン化硼素層を気相成長手段に依り、結晶基板上に形成した非晶質の下地層に接合させて形成するリン化硼素層の製造方法において、結晶基板の温度を 750°C 以上且つ非晶質の下地層を気相成長させた温度以下に保持して、アンドープの状態でのp形の伝導性を呈するリン化硼素層に、マグネシウム(Mg)を添加して高抵抗のリン化硼素層を形成することを特徴とするリン化硼素層の製造方法。

(3) 非晶質の下地層が、 750°C 以上 1200°C 以下の温度で結晶基板上に直接気相成長させた、硼素(B)とリン(P)とを含む、層厚が2ナノメートル(nm)以上50nm以下の層であることを特徴とする上記(2)に記載のリン化硼素層の製造方法。

(4) 高抵抗のリン化硼素層及び非晶質の下地層を、同一の気相成長手段により形成することを特徴とする上記(2)または(3)に記載のリン化硼素層の製造方法。

(5) 上記(1)乃至(4)の何れか1項に記載の方法により形成された高抵抗のリン化硼素層を備えてなるリン化硼素系半導体素子。

(6) リン化硼素系半導体素子が、高抵抗のリン化硼素層の上方に、活性層を設けてなる電界効果型トランジスタ(FET)であることを特徴とする上記(5)に記載のリン化硼素系半導体素子。

(7) リン化硼素系半導体素子が、高抵抗のリン化硼素層に接合させて、ショットキー(Schottky)接合性の金属ゲート電極を設けてなるショットキー接合電界効果型トランジスタであることを特徴とする上記(5)または(6)に記載のリン化硼素系半導体素子。

(8) リン化硼素系半導体素子が、高抵抗のリン化硼素層の上方に、オーミック(Ohm ic)接触性の金属材料からなるオーミック電極を設けてなる発光素子であることを特徴とする上記(5)に記載のリン化硼素系半導体素子。

(9) リン化硼素系半導体素子が、高抵抗のリン化硼素層を、オーミック接触性電極から供給される素子動作電流の発光層への流通経路を狭窄するための電流狭窄層として備えているレーザダイオードであることを特徴とする上記(8)に記載のリン化硼素系半導体素子。

(10) リン化硼素系半導体素子が、高抵抗のリン化硼素層を、オーミック接触性電極の射影領域へ順方向電流が流通するのを阻止する電流阻止層として備えている発光ダイオードであることを特徴とする上記(8)に記載のリン化硼素系半導体素子。

である。

【0009】

【発明の実施の形態】

本発明のリン化硼素層は、高温で耐熱性を有する導電性或いは絶縁性の結晶からなる基板上に気相成長させる。LEDまたはLD等のリン化硼素系発光素子には、オーミック電極の配置の容易さから、珪素(Si)単結晶や炭化珪素(SiC)、窒化ガリウム(GaN)等の導電性結晶を基板として好適に利用できる。絶縁性のサファイア(α -Al₂O₃単結晶)や他の酸化物単結晶は、FET用途の結晶基板として利用できる。これらの結晶基板上にリン化硼素層を気相成長させる手段には、ハロゲン(halogen)法、ハイドライド(hydride)法、分子線エピタキシャル(MBE)法、及びMOCVD法を例示できる。比較的低温で分解するトリエチル硼素((C₂H₅)₃B)等の有機硼素化合物を硼素源とするMOCVD法は、比較的低温で非晶質のリン化硼素層を気相成長 10
出来るため利便な手段である。

【0010】

上記の様な結晶基板上にリン化硼素層を直接気相成長させる温度は、1000℃以上で1200℃以下の範囲とする。本発明では、不純物を故意に添加しないアンドープの状態では、p形の伝導性を有するリン化硼素層を気相成長させるのを根拠としている。1200℃を超える高温では、B₁₃P₂等の多量体のリン化硼素(J. Am. Ceramic Soc., 47(1)(1964)、44~46頁参照)が発生し、単量体のリン化硼素を得るに不都合となる。気相成長温度及びV/III比率の主要な気相成長条件は、アンドープ状態で $1 \times 10^{19} \text{ cm}^{-3} \sim 1 \times 10^{20} \text{ cm}^{-3}$ の範囲のキャリア(正孔)濃度が 20
得られる様に設定するのが好適である。気相成長温度を高温とする程、得られるキャリア(正孔)濃度は高くなる。V/III比率とは、気相成長時の硼素原料に対するリン原料の濃度比率である。キャリア濃度は通常のホール(Hall)効果に依り測定できる。

【0011】

本発明では、アンドープ状態でp形のリン化硼素層を気相成長できる条件下で、マグネシウム(Mg)を故意にドーピングして高抵抗のリン化硼素層を気相成長させる。マグネシウムは、III-V族化合物半導体についての代表的なp形不純物である(「III-V族化合物半導体」(1994年5月20日、(株)培風館発行初版)、73~77頁参照)。本発明では、n形III-V族化合物半導体層にマグネシウム(Mg)をカウンタードーピングして高抵抗半導体層を形成する方法とは全く相違し、元来、p形のリン化硼素半導体層に、p形不純物であるマグネシウム(Mg)をドーピングして高抵抗のリン化硼素層を気相成長させる。p形リン化硼素層へのマグネシウム(Mg)の添加源として、ビス-シクロペンタジエニルマグネシウム(bis-(C₅H₅)₂Mg)を例示できる。 30
リン化硼素層へのbis-(C₅H₅)₂Mgを使用したドーピングにあつては、マグネシウム(Mg)源の供給量に応じて、リン化硼素層内のMg原子の濃度は図1に示す様に略直線的に増加する。高抵抗のリン化硼素層を形成するために、リン化硼素層内のMg原子濃度が $1 \times 10^{19} \text{ 原子} / \text{cm}^{-3} \sim 1 \times 10^{20} \text{ 原子} / \text{cm}^{-3}$ となる様に、Mgをドーピングするのが好適である。 $10^{18} \text{ 原子} / \text{cm}^{-3}$ 程度の低濃度のマグネシウム(Mg)のドーピングでは、例え、Mgがアクセプタとして作用すると云えども、十分に高抵抗ではないp形のリン化硼素層が残置されるのみである。リン化硼素層内のMgの原子濃度は一般の2次イオン質量分析法(SIMS)やオージェ(Auger)分光分析法等 40
に依り定量できる。

【0012】

III-V族化合物半導体についてp形不純物である第II族の元素の中で、マグネシウム(Mg)は高抵抗のリン化硼素層を与えるに最も有効である。マグネシウム(Mg)は硼素と、化学式:MgB₂、或いは化学式:MgB₆等で表わされる揮発性の硼化マグネシウム化合物を容易に形成するからである(「データブック高融点化合物便覧」(昭和52年12月20日、(有)日・ソ通信社発行)、122頁参照)。このため、リン化硼素層の気相成長と同時にマグネシウム(Mg)を添加することに依り、Mgはリン化硼素層を構成する硼素と化合して硼素と共に揮散し、その結果、多量の硼素の空孔をリン化硼素層内に生成させることができる。そして、生成した硼素空孔をリン原子が占有することに 50

因り多量のドナーが発生し、このドナーは、アンドープ状態でリン化硼素層内に存在するアクセプタとMgの添加に因り発生したアクセプタとを電氣的に補償して、高抵抗のリン化硼素層をもたらすに貢献する。本発明に依るマグネシウム(Mg)をドーピングする手段に依れば、室温での比抵抗(=抵抗率)を $1 \times 10^4 \Omega \cdot \text{cm}$ 以上とする高抵抗のリン化硼素層を気相成長できる。

【0013】

リン化硼素層を結晶基板上に製造する別の方法として、高抵抗層となすためのp形のリン化硼素層は、結晶基板上に形成した硼素とリンとを含む非晶質層を下地層として、その非晶質層に接合させて形成できる。非晶質層は、結晶基板とp形リン化硼素層との格子ミスマッチ(mismatch)を解消して、ミスフィット(misfit)転位等の結晶欠陥密度の少ない良好な結晶性のp形リン化硼素層をもたらす作用を有する。また、非晶質層を構成する硼素とリンは、p形リン化硼素層を気相成長させる際の「成長核」(西永頌著、「結晶成長の基礎」(株)培風館、1997年6月23日発行初版)、第2章参照)を提供する役目を果たし、間隙の無い連続なp形リン化硼素層をもたらすに貢献できる。特に、硼素をリンに比較して化学量論的に富裕に含んでなる非晶質層は、p形リン化硼素層を気相成長させるに特に好適となる。硼素を富裕とする非晶質層は、化学当量的にリンが不足しているため、アクセプタとして作用できるリン空孔を過多に含んでいる。このため、硼素を富裕に含む非晶質層は、結晶基板との格子ミスマッチの緩和作用を充分に発揮できるに加え、リン空孔の過剰さを上層のリン化硼素層に継続してもたらし、アンドープ状態でp形のリン化硼素層を確実にもたらすに効果を奏する。硼素を過多とする非晶質層は、750℃以上1200℃以下の温度で、特に安定して形成できる。非晶質層の層厚は2nm以上50nm以下とするのが好適である。ドナーの生成に関与する硼素空孔に比較して過多に存在するリン空孔の濃度は、例えばホール効果測定においてp形キャリア(正孔)濃度として計測される。硼素とリンとを含む非晶質層には、リン化硼素、リン化硼素・ガリウム($\text{B}_x\text{Ga}_{1-x}\text{P}$: $0 < x < 1$)、リン化硼素・アルミニウム・インジウム($\text{B}_x\text{Al}_y\text{In}_{1-x-y}\text{P}$: $0 < x < 1$, $0 \leq y < 1$, $0 < x + y \leq 1$)等を例示できる。

【0014】

結晶基板上に非晶質層を気相成長させるに引き続き、高抵抗のリン化硼素層を同一の気相成長手段で形成することとすると、高抵抗のリン化硼素層を得るに利便となる。例えば、トリエチル硼素($(\text{C}_2\text{H}_5)_3\text{B}$)を硼素源とし、ホスフィン(PH_3)をリン源とする常圧(略大気圧)或いは減圧MOCVD法に依り、非晶質層とリン化硼素層とを連続して気相成長させる。特に、硼素とリンとを含む非晶質層をMOCVD法に依り気相成長させた後、引き続き、その非晶質層を気相成長させたのと同じMOCVD気相成長装置を利用してリン化硼素層を気相成長させる手法は利便である。高抵抗のリン化硼素層を、750℃以上で且つ非晶質の下地層を気相成長させた温度以下の温度で形成することとすれば、単結晶のリン化硼素層を気相成長させるに好都合となる。750℃未満では、多結晶のリン化硼素層が得られ易い傾向にある。また、高抵抗のリン化硼素層を非晶質層を気相成長させた温度以下で気相成長させる手法に依れば、非晶質層が熱的損傷を被り変性するのを回避でき、従って、結晶性に優れる高抵抗のリン化硼素層を気相成長させられる利点がある。

【0015】

本発明の高抵抗のリン化硼素層は、種々の半導体素子を構成するに利用できる。例えば、絶縁性の結晶基板上に設けた高抵抗のリン化硼素層は、MESFETを構成するに際し、ドレイン(drain)電流の漏洩を抑制するための高抵抗の緩衝層として利用できる。また、2次元電子ガスを利用した電界効果型トランジスタ(TEGFET)を構成するに際し、緩衝層に加え、ショットキー(Schottky)ゲート(gate)電極を形成するためのゲート電極形成用層として利用できる。本発明に係わる高抵抗のリン化硼素層は、比較的浅い準位を形成するマグネシウム(Mg)を利用しているため、深い不純物を添加して高抵抗となした従来のIII-V族化合物半導体層とは異なり、ドレイン電流

等の経時的変化 (d r i f t) を抑制するに優位となる高抵抗層を提供できる。

【0016】

また本発明の高抵抗のリン化硼素層は、発光素子にあつては、LDの電流狭窄層をなす高抵抗層として活用できる。LEDでは、素子動作電流の発光部への短絡的な流通を阻止し、発光部の略全面に電流を拡散するための電流阻止層として好適に利用できる。例えば、上部クラッド層をなす窒化ガリウム (Ga N) 層をマグネシウム (Mg) をドーピングしつつ気相成長させた後、同じくMgをドーピングしつつ高抵抗のリン化硼素層を形成しておく。次にオーミック性電極を配置する予定の領域に限り、高抵抗のリン化硼素層を残存させる様に加工を施す。次に、インジウム・錫複合酸化物 (I T O) 膜等の良導性の透明導電膜で、露出させた上部クラッド層の表面及び残存させた高抵抗のリン化硼素層の表面を被覆する。次に、残存させた高抵抗のリン化硼素層の上方に透明導電膜に接触させてオーミック電極を設ける。この様な構成とすると、電極より供給される動作電流は、高抵抗リン化硼素層により下方の発光部への垂直方向の流通を阻止され、透明導電膜を介して水平方向に優先的に流通される。このため、発光部の広範囲に動作電流を拡散でき、発光強度の高いLEDを提供できる。

【0017】

また、本発明のマグネシウム (Mg) をドーピングして高抵抗となしたリン化硼素層は、例えばストライプ (s t r i p e) 構造型のLDを構成するに際し (伊藤 良一、中村道治編著、「半導体レーザ」(株) 培風館、1997年10月30日発行初版第6刷)、118~121頁参照)、電流狭窄層として有効に利用できる。マグネシウムをドーピングした高抵抗のリン化硼素層を電流狭窄層として備えたLDは例えば、次の手順で構成する。まず、単一或いは多重の量子井戸 (QW) 等からなる発光層上の上部クラッド層の表面に、マグネシウムをドーピングしつつ、リン化硼素層を気相成長させる。気相成長させた高抵抗のリン化硼素層を、上部クラッド層にオーミック性接触する電極を形成する予定の領域に限り、帯状に除去する。帯状に除去する領域は、一般には、幅が 3×10^{-4} cm ~ 3×10^{-3} cmであり、長さを共振器長と略同等とするストライプ状の領域である。次に、ストライプ状に開口させた領域を含めて、高抵抗のリン化硼素層の表面をオーミック電極で被覆してLDを構成する。オーミック電極より供給されるLDを駆動させるための素子動作電流は、高抵抗のリン化硼素層により通流する領域を狭窄され、ストライプ状に開口した領域に限り集中的に流通することとなり、高密度の電流を上部クラッド層を介して発光層に注入されることとなる。特に本発明では、窒化ガリウム (Ga N) のa軸格子定数 (≈ 0.319 nm) に略一致する格子面間隔 (リン化硼素の {110} 結晶面の間隔が約0.321 nmと略同等である。) を有するリン化硼素層から電流狭窄層を構成しているため、窒化アルミニウム・ガリウムからなる上部クラッド層上には、ミスフィット転位等の結晶欠陥の少ない電流狭窄層を形成することができ、層中の転位が関与した耐圧不良の少ないLDを提供できる。

【0018】

【作用】

本発明のマグネシウム (Mg) を添加しつつ高抵抗のリン化硼素層を気相成長させる手段において、リン化硼素層に添加されたMgは、アンドープでp形のリン化硼素層の内部に、リン空孔の関与したアクセプタを電氣的に補償することが可能な硼素の空孔を発生させる作用を有する。

【0019】

【実施例】

(第1実施例)

マグネシウム (Mg) をドーピングした高抵抗のリン化硼素層を緩衝層として用いて、窒化ガリウム (Ga N) 系MESFET用途の積層構造体を構成する場合を例にして、本発明の内容を具体的に説明する。

【0020】

Ga N系MESFETを構成するために利用できる積層構造体1Aの断面構造を図2に模

10

20

30

40

50

式的に示す。結晶基板101は、抵抗率を $10\Omega\cdot\text{cm}$ 以上とするアンドープで高抵抗の{111}面を有する珪素(Si)単結晶とした。基板101の表面には、トリエチル硼素($(\text{C}_2\text{H}_5)_3\text{B}$)/ホスフィン(PH_3)/水素(H_2)反応系常圧(略大気圧)MOCVD成長手段を利用して、 1025°C で硼素とリンとを含む非晶質層102を形成した。非晶質層102を気相成長させる際のV/I I I比率($=\text{PH}_3/(\text{C}_2\text{H}_5)_3\text{B}$ 供給濃度比率)は16とした。非晶質層102の層厚は約 10nm とした。硼素源としたトリエチル硼素の気相成長領域への供給を一旦、停止して非晶質層102の気相成長を終了した。

【0021】

一方、リン源の気相成長領域への供給を継続しつつ、ホスフィン(PH_3)と水素(H_2)との混合雰囲気内でSi単結晶基板101の温度を 1025°C から 850°C に低下させた。然る後、硼素源を再び気相成長領域に供給して、非晶質層102に接合させて緩衝層となる高抵抗のリン化硼素層103の気相成長を開始した。リン化硼素層103の気相成長時には、アンドープ状態で約 $2.0\times 10^{19}\text{cm}^{-3}$ のキャリア(正孔)濃度のp形の導電層が得られる様に、V/I I I比率を1296に設定した。この気相成長条件下において高抵抗層を得るために、マグネシウム(Mg)をドーピングした。Mgのドーピング源にはビスクロペンタジエニルマグネシウム($\text{bis}-(\text{C}_5\text{H}_5)_2\text{Mg}$)を使用した。硼素との揮発性化合物の生成に因り、硼素空孔の関与したドナーを高濃度に発生させるために、リン化硼素層内のMg原子濃度が約 $1\times 10^{20}\text{原子}/\text{cm}^3$ となる様に、マグネシウムを添加した。これより、室温での抵抗率を約 $2\times 10^4\Omega\cdot\text{cm}$ とする高抵抗のリン化硼素層103を得た。高抵抗のリン化硼素層103の層厚は約 100nm とした。硼素源及びリン源並びにマグネシウム源の気相成長領域への供給を停止して、高抵抗のリン化硼素層の気相成長を終了させた。水素ガスは継続して気相成長領域に流通させておいた。

【0022】

次に、Si単結晶基板101の温度を 850°C に保持しつつ、非晶質層102と高抵抗のリン化硼素層103とを気相成長させたと同一のMOCVD気相成長装置内でアンドープでn形の窒化ガリウム(GaN)層104を気相成長させた。窒化ガリウム層104は、トリメチルガリウム($(\text{CH}_3)_3\text{Ga}$)/アンモニア(NH_3)/ H_2 反応系常圧MOCVD法で気相成長させた。高抵抗のリン化硼素層103の表面をなす{111}-結晶面に交差するリン化硼素の{110}-結晶面の格子面間隔($\approx 0.321\text{nm}$)とウルツ鉱結晶型(Wurtzite)のGaNのa軸格子定数($\approx 0.319\text{nm}$)とが略合致することから、窒化ガリウム層104は{0001}-結晶面から構成される結晶層となった。MESFETの活性層(channel)層としての利用を考慮して、低いキャリア(電子)濃度のn形窒化ガリウム層104を得るべく、V/I I I比率は約 1.2×10^4 に設定した。アンドープでn形の窒化ガリウム層104のキャリア濃度は約 $2\times 10^{16}\text{cm}^{-3}$ で、層厚は約 50nm とした。また、緩衝層のマグネシウム(Mg)をドーピングした高抵抗のリン化硼素層103との良好な格子面間隔の整合性により、窒化ガリウム層104の室温での電子移動度は約 $660\text{cm}^2/\text{V}\cdot\text{s}$ となった。

【0023】

気相成長領域へのトリメチルガリウムの供給を停止して、窒化ガリウム層104の気相成長を終了した。その後、同一のMOCVD気相成長装置を使用して、 850°C で再度、マグネシウム(Mg)ドーピングの高抵抗のリン化硼素層105を形成した。高抵抗のリン化硼素層105の気相成長条件は、緩衝層として利用する高抵抗のリン化硼素層103の場合と同一とした。層内のマグネシウム(Mg)の原子濃度も上記の高抵抗のリン化硼素層103と略同一の抵抗率を得るために、約 $1\times 10^{20}\text{原子}/\text{cm}^3$ とした。但し、層厚は 50nm とした。その後、硼素源の気相成長領域への供給を停止して、高抵抗のリン化硼素層105の気相成長を終了した。Si単結晶基板101の温度が約 600°C に降下する迄、ホスフィンを流通し続け、高抵抗のリン化硼素層105の表面からのリンの揮散を抑制した。約 600°C でホスフィンの供給を停止して、水素ガスの雰囲気内で室温近傍の温

10

20

30

40

50

度迄、自然に冷却した。これより、マグネシウムをドーピングした高抵抗のリン化硼素層103を緩衝層として、n形窒化ガリウム層104を活性層として、また高抵抗のリン化硼素層105をショットキー接合電界効果型トランジスタのゲート電極形成層として利用した積層構造体1Aを形成した。

【0024】

高抵抗の緩衝層をなすリン化硼素層103は、硼素とリンとを含む非晶質層102を下地層として、且つ、非晶質層102よりも低温で気相成長させたため、間隙の無い表面の平坦な連続層となった。リン化硼素層103の連続性及び表面の平坦性を反映して、窒化ガリウム層104は、空洞(void) ("Lattice Mismatched Thin Films" (The Minerals, Metals & Materials Society, 1999) (ISBN No. 0-87339-444-5)、177~182頁参照) も無い連続膜となった。また、表面状態の良好な窒化ガリウム層104を介在させて気相成長させたため、リン化硼素層105の表面の平滑度は、rms (root mean square; 仮想水平面からの高低差の2乗値の平均値の平方根値) にして約0.5nmと良好であった。

10

【0025】

(第2実施例)

本第2実施例では、高抵抗のリン化硼素層を緩衝層として備えた積層構造体からMESFETを構成する場合を例にして、本発明の内容を具体的に説明する。

【0026】

図3に本第2実施例に記載のMESFETの断面構造を模式的に示す。図2に既に掲示したのと同じ構成要素については、図3に同一の符号を付して示してある。

20

【0027】

第1実施例で作製した積層構造体1AをMOCVD気相成長装置より取り出した後、表面をなす高抵抗のリン化硼素層105を、一般的なフォトリソグラフィ技術を利用して加工し、ゲート(gate)電極107を形成する予定の領域に限り残置させた。次に、再び、MOCVD気相成長装置内にこの加工を施した積層構造体1Aを載置して、アンドープでn形のリン化硼素層106をオーミック電極を形成するためのオーミックコンタクト層として堆積した。n形リン化硼素層106は、上記の $(C_2H_5)_3B/PH_3/H_2$ 反応系MOCVD法を利用して850℃で気相成長させた。n形リン化硼素層106のキャリア(電子)濃度は約 $1 \times 10^{19} cm^{-3}$ とし、層厚は約150nmとした。硼素源の気相成長領域への供給を停止して、n形リン化硼素層106の成長を終了した後、高抵抗のリン化硼素層105の場合と同様な手法で室温まで冷却して、MESFET10用途の積層構造体1Bを形成した。

30

【0028】

冷却後、MOCVD気相成長装置より取り出した積層構造体1Bに一般的なフォトリソグラフィ技術を利用して、残置させた高抵抗のリン化硼素層105を被覆しているn形リン化硼素層106に限り除去し、高抵抗のリン化硼素層105の表面を露呈させたリセス(recess)部108を形成した。リセス部108の底面に在るゲート電極形成用のマグネシウム(Mg)をドーブした高抵抗のリン化硼素層105とn形リン化硼素層106との高低差(段差)は約150nmとした。また、リセス部108の横幅は約 $1 \times 10^{-3} cm$ とした。

40

【0029】

リセス部108の底面にある高抵抗のリン化硼素層105の表面の中央よりややソース(source)電極109寄りにショットキー接触性のゲート電極107を一般的なパターンニング技術とリフトオフ(lift-off)技法に依り形成した。ゲート電極107は、高抵抗のリン化硼素層105の表面に接触する側をチタン(Ti)としたTi/白金(Pt)/金(Au)の3層重層構造から構成した。ゲート長は約 $1.5 \times 10^{-4} cm$ とした。また、リセス部108を除く領域に互いに対向させて残置させたn形リン化硼素層106の表面上には、n形リン化硼素層106に接する側に金・ゲルマニウム(Au・

50

Ge) 合金膜を配置したAu・Ge／ニッケル(Ni)／Auの3層重層構造からなるオーミック接触性のソース電極109及びドレイン(drain)電極110を各々、配置した。このようにしてMESFETを構成した。ソース電極109とドレイン電極110との水平距離は、リセス部108の横幅と略同等の約 1×10^{-3} cmとした。

【0030】

上記のようにして本第2実施例で作製したMESFETでは、n形窒化ガリウム層104からなる活性層を、マグネシウム(Mg)をドーピングして高抵抗となしたリン化硼素層103上に設ける構成を備えているため、ドレイン電流の緩衝層への漏洩が抑制されていた。このため、ドレイン電圧の増加に因る飽和ソース・ドレイン電流(所謂、 I_{dss})の顕著な増加も認められず、ゲートピンチオフ(pinch-off)電圧は約12.4ボルト(V)となった(但し、ソース・ドレイン電流(所謂、 I_{ds})を 5×10^{-6} Aとした場合)。また、III-V族化合物半導体で比較的”浅い”アクセプタ準位を形成するとされるマグネシウム(Mg)を添加した高抵抗のリン化硼素層103を緩衝層としたため、ドレイン電流に緩和時間の長い経時的な変化(drift)は認められなかった。ドレイン電圧を5Vとした際に得られる室温での相互コンダクタンス(所謂、 g_m)は、単位ゲート長(mm)あたりにして約10ミリシーメンス(mS)/mmの高さに達した。ゲート電圧(所謂、 V_g)の増加に因りゲートピンチオフ電圧の近傍では、 g_m の若干の低下が認められたが、8mS/mmの高値を維持できる高性能のMESFETが提供された。

【0031】

【発明の効果】

本発明に依れば、結晶基板に高抵抗のリン化硼素層を気相成長手段に依り直接形成する、高抵抗のリン化硼素層の製造方法において、結晶基板の温度を1000℃以上で1200℃以下の範囲に保持して、不純物を故意に添加していないアンドープの状態でのp形の伝導を呈するリン化硼素層を気相成長しつつ、同時に、”浅い”不純物準位を形成するマグネシウム(Mg)を添加して高抵抗のリン化硼素層を形成することとしたので、例えば、それを緩衝層として利用すれば、ドレイン電流の漏洩が少なく、ピンチオフ特性に優れ、尚且つ高い相互コンダクタンスを有するMESFETを構成するに効果を上げられる。

【0032】

また、マグネシウム(Mg)をドーピングした高抵抗のリン化硼素層を、750℃以上1200℃以下の温度で結晶基板上に形成した、硼素とリンとを含む、層厚を2nm以上で50nm以下とする非晶質の下地層に接合させて形成することとしたので、間隙の無い連続な高抵抗のリン化硼素層を形成できる。

【図面の簡単な説明】

【図1】マグネシウム(Mg)源の供給量とリン化硼素層内のMg原子濃度との関係を示す図である。

【図2】本発明の第1実施例に係る積層構造体の断面模式図である。

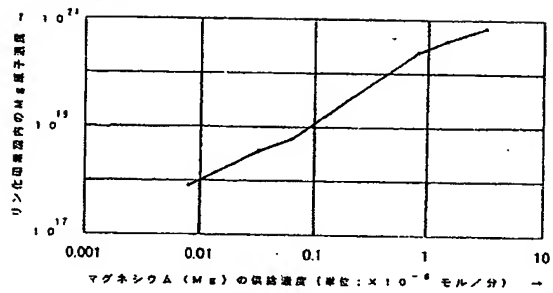
【図3】本発明の第2実施例に係るMESFETの断面模式図である。

【符号の説明】

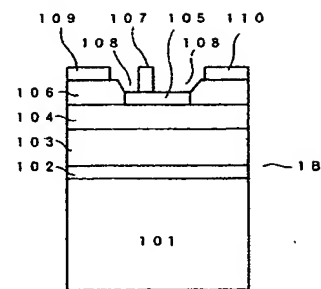
- 1A 積層構造体
- 1B MESFET用途積層構造体
- 101 珪素単結晶基板
- 102 非晶質層
- 103 高抵抗のリン化硼素層(緩衝層)
- 104 窒化ガリウム層(活性層)
- 105 高抵抗のリン化硼素層(ゲート電極形成層)
- 106 n形リン化硼素層(オーミックコンタクト層)
- 107 ゲート電極
- 108 リセス部
- 109 ソース電極

1 1 0 ドレイン電極

【 図 1 】

(単位: 原子/cm²)

【 図 3 】



【 図 2 】

